

# DISPLAY DEVICE AND ITS MANUFACTURE

Patent number: JP2000164347

Publication date: 2000-06-16

Inventor: HOSHI JUNICHI

Applicant: CANON KK

Classification:

- international: *G09F9/30; H01L51/50; H05B33/02; H05B33/06; H05B33/10; H05B33/12; H05B33/14; G09F9/30; H01L51/50; H05B33/02; H05B33/10; H05B33/12; H05B33/14; (IPC1-7): H05B33/02; G09F9/30; H05B33/06; H05B33/10; H05B33/12; H05B33/14*

- european:

Application number: JP19980338560 19981130

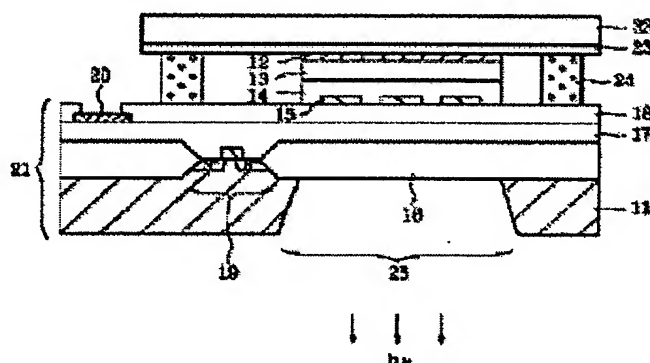
Priority number(s): JP19980338560 19981130

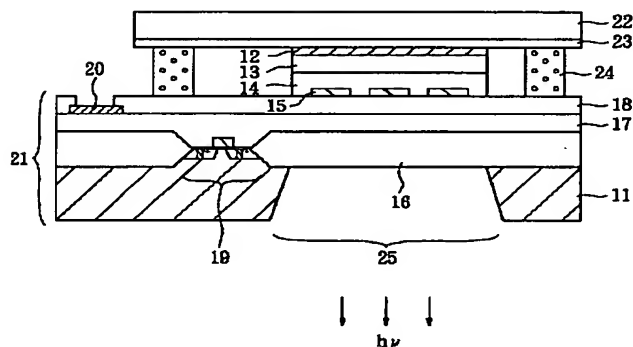
Report a data error here

## Abstract of JP2000164347

**PROBLEM TO BE SOLVED:** To provide an EL display device integrated with many fine picture elements (dots) at a low cost.

**SOLUTION:** This display device is laminated with EL elements 12-15 on a silicon substrate 11, a nearly transparent membrane 16 is exposed on the back face side of the silicon substrate 11, and the luminescent light from the EL elements 12-15 is emitted from the back face side of the silicon substrate 11.





## 【特許請求の範囲】

【請求項 1】 シリコン基板上に E L 素子が積層された表示装置であって、前記シリコン基板の裏面側の少なくとも表示部において、大略透明なメンブレンが露出しており、前記 E L 素子からの発光光が前記シリコン基板の裏面側から出射することを特徴とする表示装置。

【請求項 2】 E L 素子は、2 次元マトリクス状に配置されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 マトリクスは、アクティブマトリクスを形成することを特徴とする請求項 2 に記載の表示装置。 10

【請求項 4】 アクティブマトリクスは水平信号線と垂直走査線で構成されており、前記両配線はアクセス用トランジスタと接続されており、前記トランジスタの残りの主電極は保持容量と他の異なる駆動用トランジスタの制御電極と接続されており、前記駆動用トランジスタによって、前記 E L 素子を駆動することを特徴とする請求項 3 に記載の表示装置。

【請求項 5】 表示部のシリコン基板裏面側にカラーフィルタを有することを特徴とする請求項 1 ～ 4 に記載の表示装置。 20

【請求項 6】 シリコン基板とカラーフィルタとの間に蛍光体層を有することを特徴とする請求項 5 に記載の表示装置。

【請求項 7】 E L 素子の陰極と電氣的接続されている配線引出用基板を有することを特徴とする請求項 1 ～ 6 に記載の表示装置。

【請求項 8】 電氣的接続は、大きなアワを含まない導電接着材で行なわれていることを特徴とする請求項 7 に記載の表示装置。 30

【請求項 9】 電氣的接続は、導電性液体もしくは液晶で行なわれていることを特徴とする請求項 7 に記載の表示装置。

【請求項 1 0】 配線引出用基板と前記シリコン基板との電氣的接続を行う接点を有することを特徴とする請求項 7 に記載の表示装置。

【請求項 1 1】 シリコン基板は、前記基板中に大略透明な絶縁膜を有する S O I (シリコンオンインシュレータ) 基板であることを特徴とする請求項 1 ～ 1 0 に記載の表示装置。 40

【請求項 1 2】 S O I 基板上の表示部に前記 E L 素子を駆動するための単結晶トランジスタが形成されていることを特徴とする請求項 1 1 に記載の表示装置。

【請求項 1 3】 E L 素子が、シリコン基板上に陽極、E L 層、陰極の順で積層されていることを特徴とする請求項 1 ～ 1 2 に記載の表示装置。

【請求項 1 4】 E L 層が、一層または複数層の有機化合物層であることを特徴とする請求項 1 3 に記載の表示装置。

【請求項 1 5】 シリコン基板中あるいはシリコン基板 50

上に大略透明なメンブレンを形成する工程と、前記シリコン基板上に E L 素子の陽極を形成し、前記陽極上に前記 E L 素子の発光層を形成し、前記発光層上に陰極を形成する工程と、前記 E L 素子が形成されている表示部の前記シリコン基板の裏面側から異方性エッチングにより前記メンブレンを露出させる工程とを少なくとも有することを特徴とする表示装置の製造方法。

【請求項 1 6】 E L 素子からの発光光を用いて、前記表示部の基板裏面側に配置するカラーフィルタのアライメントを行うことを特徴とする請求項 1 5 に記載の表示装置の製造方法。

【請求項 1 7】 陰極を形成した後に前記陰極と配線引出用基板とを電氣的接続し、前記配線引出用基板と前記シリコン基板とを貼せる際に、前記両基板を電氣的接続する接点を同時に形成することを特徴とする請求項 1 5 または 1 6 に記載の表示装置の製造方法。

## 【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 本発明は、表示装置及びその製造方法、特に不透明な基板の一部を透明化した表示装置及びその製造方法に関するものである。

【 0 0 0 2 】

【従来の技術】 従来、E L 素子を用いた表示装置には、例えば Synthetic Metals 91 (1977) 3-7 “Organic multi-color electroluminescence display with finepixels” (文献 1) のように、ガラス基板上に陽極、E L 層である各層、陰極を順次形成するのが通常である。陽極には正孔(ホール)を注入し易いような仕事関数を有する、例えば I T O (インジウム・ティンオキサイド) 等の良導体が選ばれる。また陰極には同様に電子を注入し易いような仕事関数を有する例えば A l 合金等が選ばれる。

【 0 0 0 3 】 また、E L 層を形成する基板には、ガラス基板以外に例えば、Si D 9 8 Di G E S T p p 9 4 9 “100-MHz Active-Matrix Electroluminescent Displays” (文献 2) のように、基板トランスファ技術を使用して形成した S O I 基板を用いることも公知である。

【 0 0 0 4 】 また、近年 E L 層のドットピッチを小さくするために、例えば文献 1 ではホトレジストのリフトオフ法を用いてスペース 3 0 μ m の陰極間隔を実現しており、文献 2 では、S i 半導体の微細加工技術を利用して、ドット(画素)ピッチ 1 2 μ m を実現している。

【 0 0 0 5 】 また、不透明なシリコン基板の表示部の主にシリコンから成る部材を、異方性エッチングを用いて除去し、透明化した例には、例えば特開平 5 - 2 1 3 3 8 号公報、特開平 6 - 6 7 2 0 5 号公報がある。

【 0 0 0 6 】

【発明が解決しようとする課題】 しかし、従来の技術に

は、以下に示すように、4つの大きな問題点がある。

【0007】(1)第1に、有機ELを使用した表示装置においては、EL上に陽極であるITO電極の形成が困難であるという点である。

【0008】前述のように微細なドットピッチを得ようとするならば、公知の半導体加工技術を利用するのが最上の方法であるが、図11に示すように不透明な単結晶Si基板201を使用する限りは基板上方に光を出射する必要があることから、必然的に上方に形成する陽極205は透明であるITO電極となってしまう。

【0009】しかし、前述するように有機ELへのITO電極の形成は、ITO電極の形成に約200℃の温度が必要であるため、耐熱性上困難である。

【0010】(2)第2は、ITO電極の形成が容易な耐熱性のある無機ELにおいては、一般に駆動電圧が高い(>100V)という点である。前述の文献2においてはこの問題を素子分離性の良いSOI基板を用いることによって解決している。

【0011】一般に使用する電圧が高くなると、素子の寸法や素子分離に必要な領域の寸法が大きくなり、従って微細な画素、あるいはドットピッチの実現を不可能にする。文献2における駆動素子であるCMOSの実効チャネル長も1.2μmであり、現在の加工可能な寸法に比べると、数倍大きな値である。

【0012】大きな素子、あるいは画素は表示装置の縮小化を困難にする。大きな基板サイズ、チップサイズは取れ数の減少及び欠陥の増大による歩留まりの低下をもたらし、従って表示装置のコストアップを招く。

【0013】直視型の表示装置においては、少なくとも600dpi(ドットパーインチ)即ち、ドットピッチ42μm程度は要求される。また拡大光学系を伴うHMD(ヘッドマウントディスプレイ)、プロジェクタ等の表示装置においては、ELを搭載する基板の大きさが小さければ小さいほど安価に製造できる可能性がある。

【0014】以上のことから現時点では、無機ELよりも低電圧駆動が可能な有機ELの方が望ましい。

【0015】(3)第3に、図12に示すように、透明基板211を使用することによって、第1の問題はクリアできるが、透明基板は単結晶Si基板と比べるといくつかの欠点を有していることである。

【0016】まず透明基板211がガラス基板である場合には、基板上に形成される半導体膜はアモルファス、あるいはポリシリコン膜であり、従って膜中のキャリア移動度が単結晶シリコン中よりも低くなってしまう。また、他のリーク電流といった電気特性も悪くなりがちであり、従って基板上に形成される素子、及び回路は性能の悪い物となってしまう。しかし、現在の表示装置は多画素化が急速な勢いで進行中であり、従って駆動能力の無い画素トランジスタ、及び周辺駆動回路はその価値を大巾に減じている。

【0017】また、透明基板211がSOI基板である場合には、基板上に形成される半導体膜は、単結晶シリコン膜であり、従って基板上に形成された素子及び回路は、単結晶Si基板と同等以上の性能を有するが、SOI基板の価格は単結晶Si基板と比べるといかに高価である。

【0018】前述の基板トランスファによって形成されたSOI基板の製造には、元の電気回路が形成された特殊な基板と貼り合わせる透明な基板との2枚の基板を必要とし、反エコロジー的である。また代表的なSOI基板であるSOS基板は、通常の単結晶Si基板の数倍の価格であり、また入手は困難である。

【0019】(4)第4に、図13に示すような、シリコン異方性エッチングにより基板を透明化したLCDにおいては、異方性エッチングにより残留する透明な絶縁薄膜(メンブレン235~238)は公知のように適度な引張応力あるいは補強材の存在なしにはLCDの均一なギャップを保持できないため、歩留まりあるいは製造コストの増大を招いていた。

【0020】引張応力により均一なギャップを保証する場合には、メンブレンには膜の破壊強度に近い大きな引張応力が必要である。応力が高くなると異方性エッチングの際に液中で膜が割れるといった現象を生じ、歩留まりを低下させていた。

【0021】また、補強材を設ける場合においては、液晶と補強材及び液晶セルに使用する部材との熱膨張率の違いから、LCDのギャップの温度特性に大巾な変化、バラツキが生じている。これはLCDの性能を著しく低下せしめ、事実上使用不可能とさせるほどである。

【0022】

【課題を解決するための手段】本発明は前述の欠点を除去するものであり、微細な画素(ドット)を多数集積したEL表示装置を安価に提供することを目的とする。

【0023】即ち、本発明は、シリコン基板上にEL素子が積層された表示装置であって、前記シリコン基板の裏面側の少なくとも表示部において、大略透明なメンブレンが露出しており、前記EL素子からの発光光が前記シリコン基板の裏面側から出射することを特徴とする表示装置である。

【0024】また、本発明は、シリコン基板中あるいはシリコン基板上に大略透明なメンブレンを形成する工程と、前記シリコン基板上にEL素子の陽極を形成し、前記陽極上に前記EL素子の発光層を形成し、前記発光層上に陰極を形成する工程と、前記EL素子が形成されている表示部の前記シリコン基板の裏面側から異方性エッチングにより前記メンブレンを露出させる工程とを少なくとも有することを特徴とする表示装置の製造方法である。

【0025】微細な画素を集積する基板は単結晶Si基板であり、多数の画素及び高い駆動能力を有する周辺回

路は、前述の安価な単結晶Si基板によって実現される。単結晶Si基板の画素表示部分には、少なくとも透明な膜を主体とするメンブレンが、さしてコストアップを招くことのない付加工程によって形成されている。メンブレン上には透明な陽極であるITO電極が形成されており、その上にはEL層及び陰極が形成されている。本発明によればEL層はITO電極の上方に、後の工程で形成されるため、前述の耐熱性の問題は生じない。

【0026】ITO電極～陰極からなる画素部分と、画素を駆動するための公知の周辺回路が搭載された基板、あるいはシリコンチップを後の工程で公知のアルカリ水溶液等を用いた異方性Siエッチング法により、画素表示部分を基板の裏面から、大略透明なメンブレンが露出するまで、裏面側の主にSiから成る基底部材をエッチング除去する。これにより少なくとも画素表示部分は透明化され、EL層からの発光が外部に導光可能となり、表示装置としての機能が得られる。

【0027】また本発明の表示装置はLCDではないので、均一な液晶セルギャップを実現する必要はない。前述の均一なセルギャップを実現するための引張応力は全く必要なく、従ってメンブレンの応力は自在に設定可能である。従ってメンブレンに使用する部材には大巾な自由が生じる。例えば半導体プロセス材料に多い、圧縮応力を有する各種CVD膜も採用可能である。また前述のようなエッチング工程の膜割れも生じない。

【0028】本発明のメンブレンは例えば対向する配線引出用基板等に固着して異方性エッチングされるために、膜割れに関しては大巾に軽減されている。また、熱膨張率の相違によるギャップ不均一は考える必要がない。本発明においては、メンブレンと固着する部材との熱膨張率の差によって内部応力が多少発生するが、応力は割れやハガレを生じるほどの大きさではない。

【0029】

【発明の実施の形態】（第1の実施形態）図1に本発明の第1実施形態である単純マトリクス型表示装置の概略断面図を示す。

【0030】11は厚さ625 $\mu$ mのCZP(100)シリコン基板であり、16はその上に形成された厚さ1 $\mu$ mのLOCOS酸化膜である。シリコン基板11の周辺部には画素を駆動するためのN型MOSFETから成る周辺回路19が形成されている。

【0031】17は厚さ1 $\mu$ mのCVDSiO<sub>2</sub>から成る層間絶縁膜であり、その上に外部との電氣的接続用のボンディングパッド20が形成されている。18は厚さ1 $\mu$ mのプラズマSiNからなるパッシベーション膜である。

【0032】その上にはEL素子を発光させるためのITO電極よりなる陽極15が表示部25に巾10 $\mu$ m、間隔10 $\mu$ mで計1000本形成されている。陽極15は図示しない配線で周辺回路19に、後述の方法で接続

されている。シリコン基板11から陽極15までは公知の半導体プロセスで製造された後にダイニングされ、大きさ25mm角のシリコンチップ21となる。

【0033】その後シリコンチップ21の表示部25上に厚さ500Åの正孔輸送層14である芳香族第三アミンが真空蒸着法により積層される。次いで厚さ500Åの電子輸送層13である有機金属錯体が同法により積層される。最後に陰極12である厚さ1500ÅのAl合金電極が同じく巾10 $\mu$ m、間隔10 $\mu$ mで陽極15と直交する角度で予め決められた場所に計1000本形成される。

【0034】陰極12上には同様な配線パターンを有する引出電極23が形成された引出用基板22がシール材24を用いてシリコンチップ21と合せ精度 $\pm 1\mu$ mで接着されている。シール材24は封止材の働きをも兼ねており、外界からの汚れや水分の浸入を防いでいる。

【0035】陽極15、及び陰極12の交差する大きさ10 $\mu$ m角の領域が単一のEL素子に相当する。即ち、陽極15、EL層である正孔輸送層14及び電子輸送層13、陰極12により、EL素子の単純マトリクスが形成されている。

【0036】EL表示装置は引出用基板22が接続された後に、適当なエッチング治具に収納されて、公知の異方性エッチング法により、表示部25の裏面側のシリコン基板11の除去が行われる。

【0037】エッチングには例えば22%TMAH（テトラメチルアンモニウムヒドロキシド）水溶液によって行われる。エッチングを治具あるいはシリコン基板11の裏面に形成されたエッチングマスク等を用いて選択的なエッチングを行うことにより、表示部25のみが透明化される。エッチングは主に熱酸化膜から成るLOCOS酸化膜16が露出すると自動的に停止する。その結果、表示部25のシリコンチップ21の構成は、大略透明なLOCOS膜16、層間絶縁膜17、パッシベーション膜18、陽極15の約3 $\mu$ mのメンブレンのみとなる。

【0038】EL素子は陽極15に正の電圧を、陰極12に負の電圧を印可することにより発光を行う。発光は大略透明なメンブレンを透過してEL表示装置外へと導かれる。

【0039】図2に本実施形態の等価回路図を示す。

【0040】画素（ドット）数は前述のように1000 $\times$ 1000であり、100万個のEL素子101が陽極15から成る垂直線102と陰極12から成る水平線103との間に単純マトリクスを形成するように接続されている。

【0041】マトリクスの駆動は周辺回路19である垂直シフトレジスタ（VSR）104と陰極12から引出電極23によって引出された水平線103に接続する図1には図示しない外部回路である水平シフトレジスタ

(HSR) 105 によって駆動される。両レジスタ 104, 105 には同じく外部回路である信号処理回路 106 から映像信号 107 を元に作成された駆動用信号と電源電圧が供給される。VSR 104 への信号処理回路 106 及び電源との接続はボンディングパッド 20 を経由して行われる。

【0042】本実施形態によれば、両電極 12, 15 の交差する領域は電極配線の単位寸法（太さ）であるため、非常に微細な画素が作成可能である。

【0043】尚、本発明に用いる EL 素子は特に限定されず、有機 EL 素子、無機 EL 素子のいずれも使用できるが、少なくとも陽極層及び陰極層と、これらの間に挟持された一層または複数層の有機化合物層により構成される EL 素子が好適に用いられる。

【0044】陽極 15 の材料としては仕事関数が高いものが望ましく、例えば ITO、酸化錫、金、白金、パラジウム、セレン、イリジウム、ヨウ化銅などを用いることができる。一方、陰極 12 の材料としては仕事関数が小さなものが望ましく、例えば Mg/Ag、Mg、A

l、In あるいはこれらの合金等を用いることができる。

【0045】有機化合物層は、一層構成であっても良いし、複数層構成であっても良く、例えば、図 1 に示すように、陽極 15 から正孔が注入される正孔輸送層 14、及び陰極層 12 から電子が注入される電子輸送層 13 からなり、正孔輸送層 14 と電子輸送層 13 のいずれかが発光層となる。また、蛍光体を含む蛍光体層を正孔輸送層と電子輸送層との間に設けても良い。また、混合一層構成で正孔輸送層、電子輸送層、蛍光層を兼ねた構成も可能である。

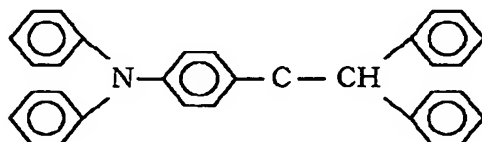
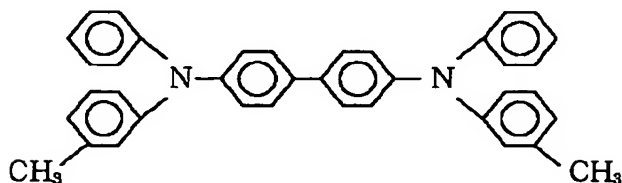
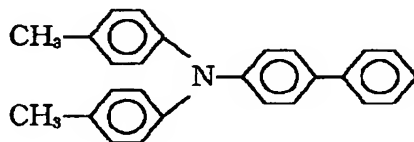
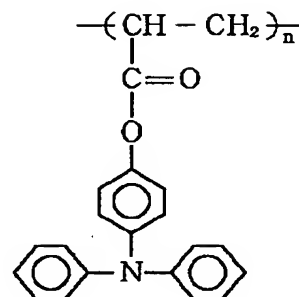
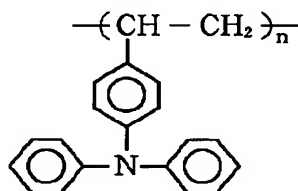
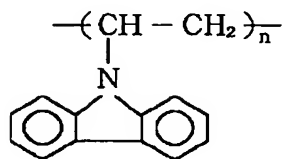
【0046】正孔輸送層 14 としては、例えば、N, N'-ビス(3-メチルフェニル)-N, N'-ジフェニル-(1, 1'-ビフェニル)-4, 4'-ジアミン（以下 TPD）を用いることができ、その他にも下記の有機材料を用いることができる。

【0047】

【化 1】

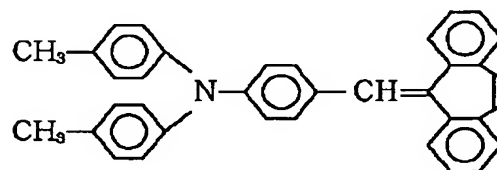
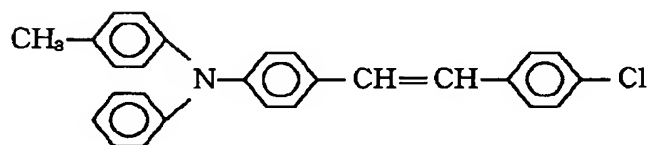
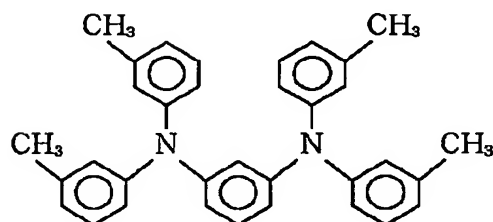
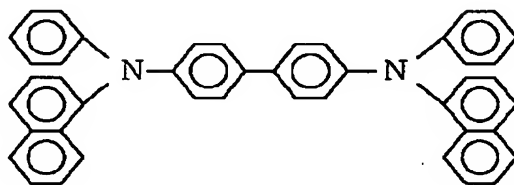
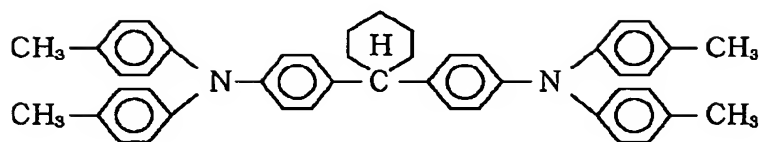
### ホール輸送性化合物

#### ホール輸送体



【0048】

50 【化 2】

ホール輸送性化合物

【 0 0 4 9 】

【 化 3 】

( 7 )

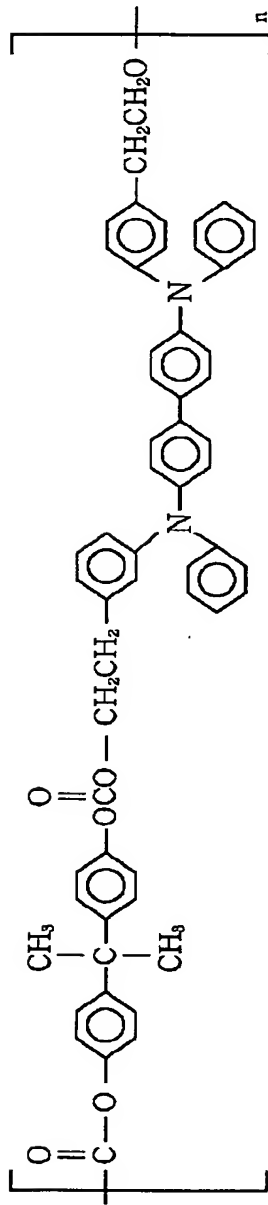
特開 2 0 0 0 - 1 6 4 3 4 7

12

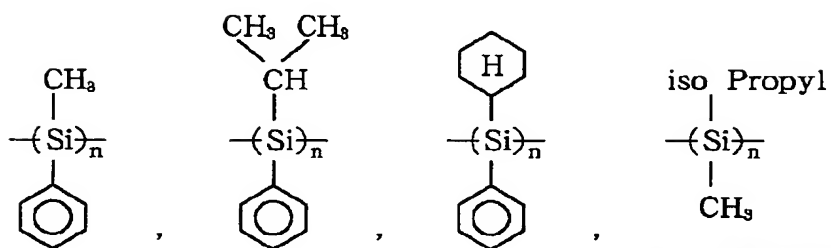
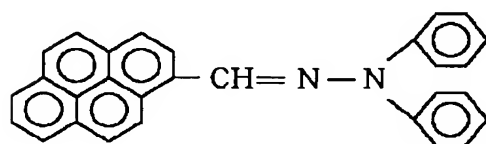
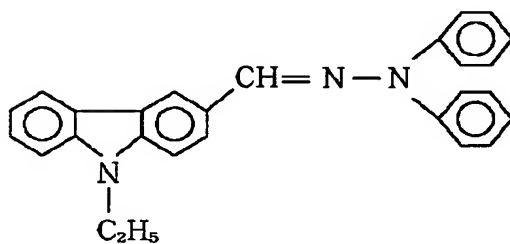
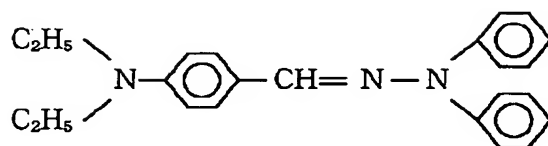
11  
ホール輸送性化合物

[ 0 0 5 0 ]

[ 化 4 ]



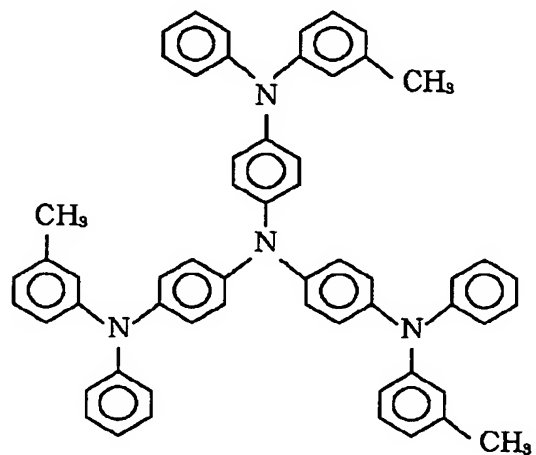
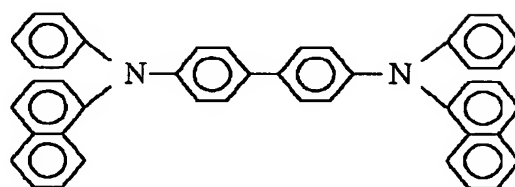


ホール輸送性化合物

【0051】  
【化5】

ホール輸送性化合物

30



【0052】また、例えばa-Si、a-SiCなどの無機材料を用いてもよい。

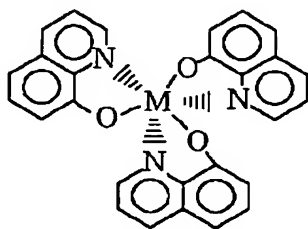
【0053】電子輸送層13としては、例えば、トリス(8-キノリノール)アルミニウム(以下Alq<sub>3</sub>)を

用いることができ、その他にも下記の材料を用いることができる。

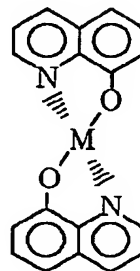
【0054】

【化6】

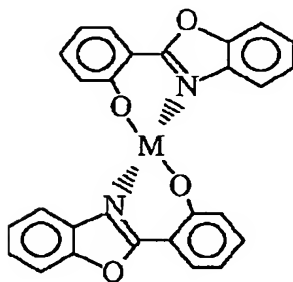
電子輸送性化合物



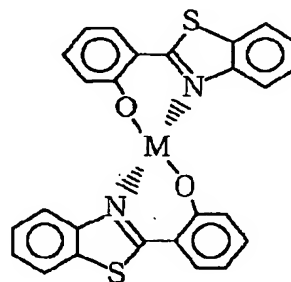
M : Al, Ga



M : Zn, Mg, Be



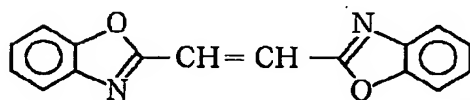
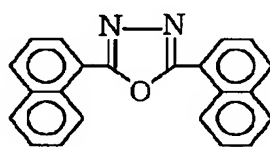
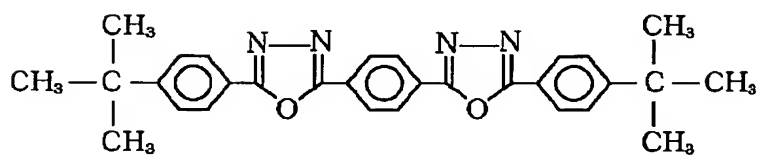
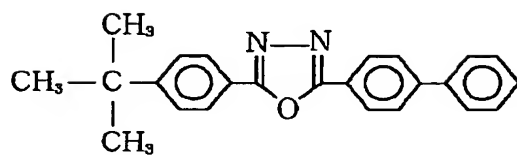
M : Zn, Mg, Be



M : Zn, Mg, Be

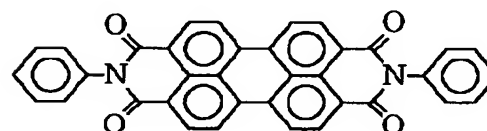
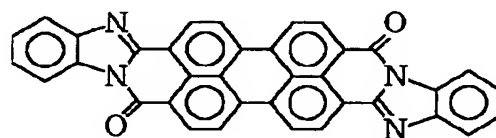
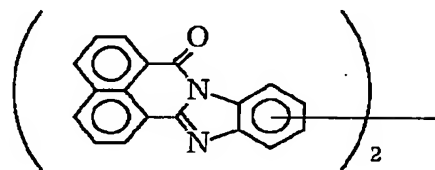
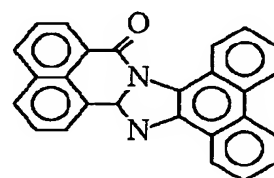
【0055】

【化7】

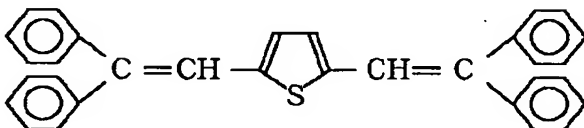
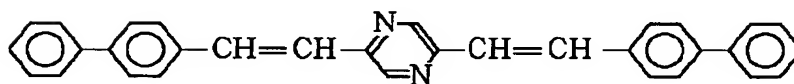
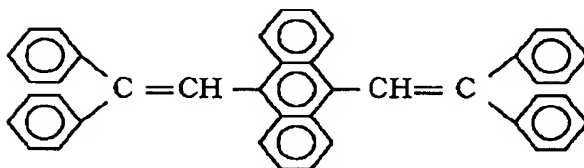
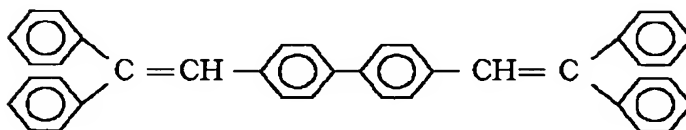
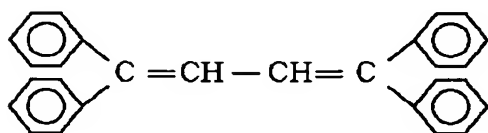
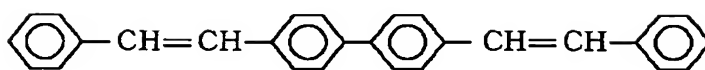
電子輸送性化合物

【 0 0 5 6 】

【 化 8 】

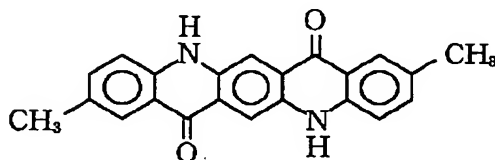
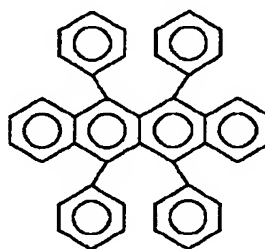
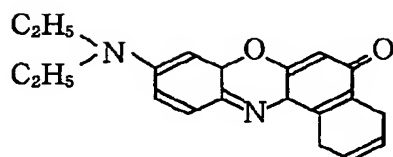
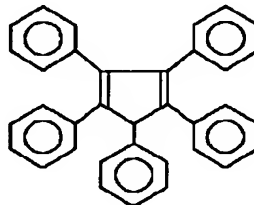
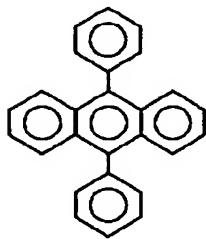
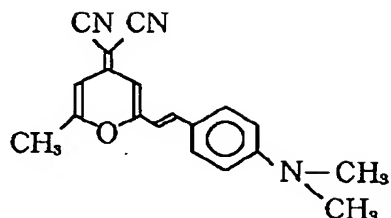
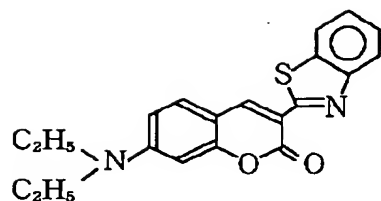
電子輸送性化合物

【化 9】

電子輸送性化合物

【0058】また、以下に示されているようなドーパント色素を電子輸送層 13、あるいは正孔輸送層 14 にドーピングすることもできる。

【0059】  
【化 10】

ドーパント色素

【0060】また、陽極層102と基板間に誘電層を設けることが好ましい。誘電層は、 $\text{SiO}_2$ 、 $\text{SiO}$ 等屈折率の異なる層の積層により特定の波長の反射透過率を高く（低く）することができる。あるいは単にハーフミラーを使用することも可能である。

【0061】（第2の実施形態）図2に本発明の第2実施形態である、アクティブマトリクス型の表示装置の表示部の断面図を示す。

【0062】16は厚さ1 $\mu\text{m}$ のLOCOS酸化膜であり、32はその上に形成された陽極である画素電極15を駆動するためのTFTである。TFT32は、チャンネル長1 $\mu\text{m}$ 、チャンネル巾5 $\mu\text{m}$ のチャンネル領域がポリシリコンから成るP型MOSFETである。画素電極15及びTFT32は後述するようにX-Yアドレッシングされており、横640本、縦480本のアクティブマトリクスアレイを形成している。

【0063】TFT32のドレインにはAlの配線40

がコンタクトされており、配線40は厚さ1500Å、大きさ10 $\mu\text{m}$ 角のITOよりなる画素電極15に接続されている。

【0064】画素電極15上には厚さ500Åの正孔輸送層14、同じく500Åの電子輸送層13、厚さ1500Åの陰極であるAl共通電極12が形成されている。共通電極12はH640×V480の画素アレイ全体に渡って形成されている。

【0065】図4に本実施形態の画素部分の等価回路図を示す。

【0066】EL素子111は画素電極15と共通電極12との間に形成されている。EL素子111は水平信号線113と垂直走査線112によってアドレッシングされている。

【0067】TFTから成るアクセス用トランジスタ114のゲート上には垂直走査線112が、ドレインには水平信号線113が接続されている。水平信号線113

に映像信号から作成された駆動用信号が印可され、垂直走査線 112 によって画素がアクセスされると、アクセス用トランジスタ 114 はオンし、水平信号線 113 上の映像情報を TFT 32 である画素駆動用トランジスタ 115 のゲート、及び保持容量 116 の一方の端子に出力する。保持容量 116 の他方の端子は一定の電圧 VCOM に接続されている。

【0068】ゲートに印可された映像情報電圧はアクセス用トランジスタ 114 がオフしてもそのまま保持される。画素駆動用トランジスタ 115 はソース側 117 が正の電源電圧 +V に、ドレイン側が EL 素子 111 の一方の端子である画素電極 15 に接続しており、映像情報電圧に応じた電流を EL 素子 111 に供給する。ここで、共通電極 12 は GND 電位 118 に接続されている。

【0069】本実施形態によれば、単純マトリクス of の第 1 の実施形態よりも S/N の高い良質な画像を表示することができる。また保持容量 116 を有しているため、短いアクセス時間であっても長時間 EL 素子 111 を発光することができ、デューティ比が向上する。

【0070】また本実施形態によれば画素を駆動する両シフトレジスタ、信号処理回路等のほとんどをシリコンチップ上に集積可能であるため、EL 表示装置のシステムを非常に簡単にすることができる。従って表示装置を更に安価に提供することができる。

【0071】本発明に用いられるアクティブマトリクス回路は何れもこれに限ることはなく、例えば各画素にダイオード又は MIM 素子等の非線形二端子素子と蓄積コンデンサを設け、画素選択時に蓄積コンデンサに信号を書き込み、非選択の時には書き込まれた信号に応じて EL 素子が光り続ける構成等でも構わない。

【0072】また、TFT 32 を構成する材料はアモルファス Si でも構わない。また導電型は N 型でも良く、またデバイスの種類は JFET, BJT 等でも良い。

【0073】(第 3 の実施形態) 図 5 に本発明の第 3 実施形態である、表示装置の概略断面図を示す。尚、シリコンチップ 21 の構成は第 1 実施形態と同様である。

【0074】21 は EL 層が表面に形成されたシリコンチップであり、シリコンチップ 21 の裏面側にはカラーフィルタ (以下 CF) 34 付保護ガラス 33 が合わせ精度 ±1 μm で貼り合されている。

【0075】保護ガラス 33 上の CF 34 は公知の顔料分散型のそれであり、液晶表示装置等に用いられる通常のものである。CF 34 は、シリコンチップ 21 の表示部に形成された膜層上の画素と前述のように ±1 μm の精度でアライメントされている。アライメントの方法には、シリコンチップ 21 の裏面と保護ガラス 33 の表面に合わせマークを入れて公知のアライナでアライメントする方法と、表示部から発光する白色光が CF 34 を透過した後の着色光を検知してアライメントを行う

方法がある。

【0076】前者は簡便であるものの、画素はシリコンチップ 21 の表面側に形成されているため、シリコンチップ 21 の裏面側の合わせマークは予め画素と ±1 μm 以下の精度でアライメントされている必要がある。後者は検知、アライメント装置が複雑、高価となるものの、確実な合わせ効果が得られるために有用である。

【0077】(第 4 の実施形態) 図 6 に本発明の第 4 実施形態である表示装置に用いられるカラーフィルタ付保護ガラスの断面図を示す。

【0078】保護ガラス 33 上にカラーフィルタ 34、蛍光体層 36 が形成されている。蛍光体層 36 は波長の短い青色の光から公知の働きで白色光を作成する。

【0079】保護ガラス 33 を第 3 実施形態に示したような白色光を発光する EL 表示装置にではなく、青色光を発光するそれに適用することによって、同様な系が実現可能となる。

【0080】本実施形態によれば、更に EL 素子に使用可能な EL 材料が増加する。

【0081】(第 5 の実施形態) また、本発明の第 5 実施形態として、青色白色変換蛍光体層を直接膜層上に形成する例も考えられる。

【0082】蛍光体層は CF とは異なり全面に形成すれば良く、精密なアライメントを必要としない。蛍光体層の形成には公知の塗布法、蒸着法、印刷法が使用できる。

【0083】(第 6 の実施形態) 図 7 に本発明の第 6 実施形態である表示装置の概略断面図を示す。尚、シリコンチップ 21 の構成は第 1 実施形態と同様である。

【0084】前述の通り表示部 25 のシリコンチップ 21 を透明化するために異方性エッチングを行うが、その後にはシリコンチップ 21 は数 μm の厚さを有する膜層のみとなる。それゆえ、膜層とそれを支持補強する引出用基板 22 の関係が重要となる。

【0085】本実施形態においては、共通電極 12 はアワの生じにくい導電性接着材 86 である銀ペーストによって引出用基板 22 と導電接着されている。接着に 10 μm 以上の大きなアワが発生した場合には、異方性エッチングの際に加わる熱的、機械的ストレスのために、膜層に破損が生じる可能性があるためである。

【0086】(第 7 の実施形態) 図 8 に本発明の第 7 実施形態である表示装置の概略断面図を示す。尚、シリコンチップ 21 の構成は第 1 実施形態と同様である。

【0087】38 は水銀よりなる導電性液体であり、共通電極 12 と引出用基板 22 上の引出電極 23 とのオーミックコンタクトを実現している。39 は厚さ 1 μm のポリイミド樹脂から成るオーバーコート層であり、共通電極 12 と EL 層である電子輸送層 13、正孔輸送層 14 上に塗布形成されており、EL 層間との意図しない電氣的ショートを防止している。また第 6 実施形態と同様

に、導電性液体 38 である水銀は異方性エッチングの際に生じる各種ストレスを緩和する働きを有する。

【0088】また、液体性金属である水銀の代わりに、粘度の高い有機物質であるポリエチレングリコール、導電性液晶物質、導電性物質を含む有機、無機各種液体を用いることも可能である。ただし、これらの導電度は所定のオーミックコンタクト抵抗を満足する必要がある。

【0089】また、オーバーコート層 39 の材質は、例えばハイマル樹脂等、公知の他の材料で構わない。

【0090】（第 8 の実施形態）図 9 に本発明の第 8 実施形態である表示装置の概略断面図を示す。

【0091】11 は厚さ  $625\mu\text{m}$  の C Z P ( 100 ) シリコン基板を用いて製造した S i M O X ( s e p a r a t i o n b y i m p l a n t e d o x y g e n ) 基板の基底部であり、表面側には厚さ  $1500\text{\AA}$  の埋込酸化膜 40 と、厚さ  $0.3\mu\text{m}$  の P 型エピタキシャル層 41 が形成されている。

【0092】エピタキシャル層 41 中には、画素を駆動する N 型 M O S F E T よりなる駆動用トランジスタ 42 と周辺回路 19 を構成する N 型 M O S F E T が同一の製造プロセスによって形成されている。

【0093】本実施形態によれば、高速、高性能な単結晶 S i トランジスタを画素駆動用トランジスタとして使用できるため、更に多画素高階調な表示装置を実現することができる。またトランジスタを製造するプロセスは、第 2 実施形態の T F T のそれとは異なり周辺回路 19 を構成する M O S F E T と同一であるため、プロセスが安価である。また S i M O X 基板は、安価な酸素注入機の実現により、S O S 基板ほどは高くない。従って E L 点灯用のシリコンチップ 21 を更に安価に提供することができる。

【0094】また本発明に用いる不透明な S O I 基板は、何も S i M O X 基板に限ることはなく、安価でエロジナな基板であるならば何でも良い。

【0095】（第 9 の実施形態）図 10 に本発明の第 9 実施形態である表示装置の概略断面図を示す。尚、シリコンチップ 21 の構成は第 1 実施形態と同様である。

【0096】21 はアクティブマトリクス E L 画素が  $1000\times 1000$  個形成された大きさ  $25\text{mm}$  角のシリコンチップである。15 は I T O 電極よりなる厚さ  $1500\text{\AA}$ 、大きさ  $10\mu\text{m}$  角の陽極である画素電極であり、12 は厚さ  $1500\text{\AA}$  の A l 合金から成る陰極である。陰極 12 は、引出用基板 22 上に形成された厚さ  $1500\text{\AA}$  の A l 引出電極 23 とオーミック接続されている。引出用基板 22 とチップ 21 との貼り合わせはシール材 24 を用いるが、シール材 24 の塗布と同時にシリコンチップ 21 上に形成された上下導通用パッド 44 上に銀ペースト 43 を塗布し、貼り合わせることで、シリコンチップ 21 と、引出用基板 22 の導通が確保される。

【0097】本実施形態においては、引出用基板 22 に接続する外部回路が不要となるため、E L 表示装置のシステムがより簡略化される。

【0098】（第 10 の実施形態）また本発明の第 10 実施形態として、銀ペースト 43 の接点を多数設けることにより、単純マトリクス方式の E L 表示装置に応用してもよい。

【0099】

【発明の効果】以上説明したように、本発明によれば、微細な画素を多数有した安価な E L 表示装置を得ることができる。また本 E L 表示装置を拡大光学系と組み合わせることにより、高精細、大画面な H M D、プロジェクタ等の製品を得ることができる。

【図面の簡単な説明】

【図 1】本発明の表示装置の第 1 の実施形態を示す概略断面図である。

【図 2】第 1 の実施形態の等価回路図である。

【図 3】本発明の表示装置の第 2 の実施形態の表示部の断面図である。

【図 4】第 2 の実施形態の画素部分の等価回路図である。

【図 5】本発明の表示装置の第 3 の実施形態を示す概略断面図である。

【図 6】本発明の表示装置の第 4 の実施形態に用いられるカラーフィルタ付保護ガラスの断面図である。

【図 7】本発明の表示装置の第 6 の実施形態を示す概略断面図である。

【図 8】本発明の表示装置の第 7 の実施形態を示す概略断面図である。

【図 9】本発明の表示装置の第 8 の実施形態を示す概略断面図である。

【図 10】本発明の表示装置の第 9 の実施形態を示す概略断面図である。

【図 11】従来の E L 素子を示す図である。

【図 12】従来の E L 素子を示す図である。

【図 13】従来の L C D を示す概略断面図である。

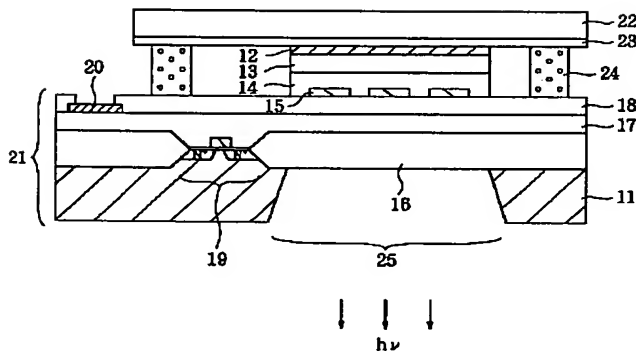
【符号の説明】

- 11 シリコン基板
- 12 陰極（共通電極）
- 13 電子輸送層
- 14 正孔輸送層
- 15 陽極（画素電極）
- 16 L O C O S 膜
- 17 層間絶縁膜
- 18 パッシベーション膜
- 19 周辺回路
- 20 ボンディングパッド
- 21 シリコンチップ
- 22 引出用基板
- 23 引出電極

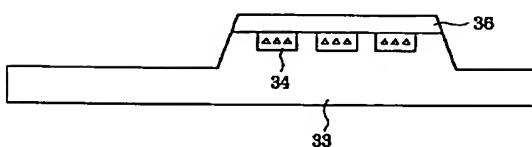
27

- 24 シール材
- 25 表示部
- 31 配線
- 32 TFT
- 33 保護ガラス
- 34 カラーフィルター
- 35 接着材
- 36 蛍光体層
- 37 導電性接着材
- 38 導電性液体
- 39 オーバーコート層
- 40 埋込酸化膜
- 41 エピタキシャル層
- 42 駆動用トランジスタ
- 43 銀ペースト
- 44 上下導通用パッド
- 101 EL素子
- 102 垂直線
- 103 水平線
- 104 垂直シフトレジスタ
- 105 水平シフトレジスタ
- 106 信号処理回路
- 107 映像信号
- 111 EL素子
- 112 垂直走査線

【図1】



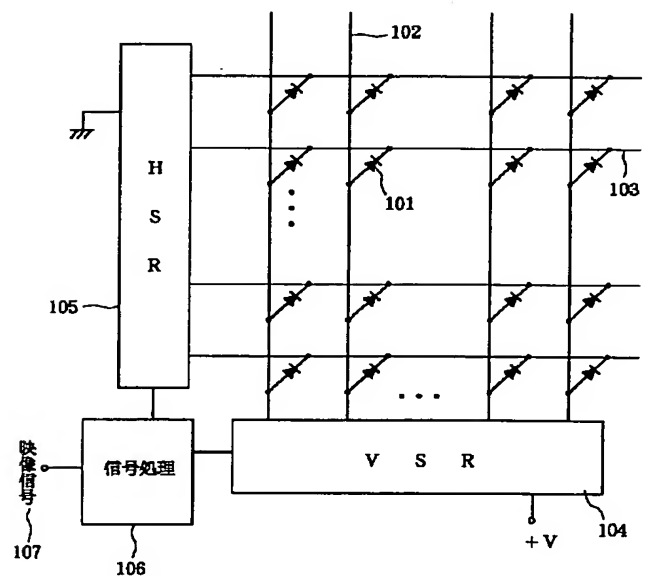
【図6】



28

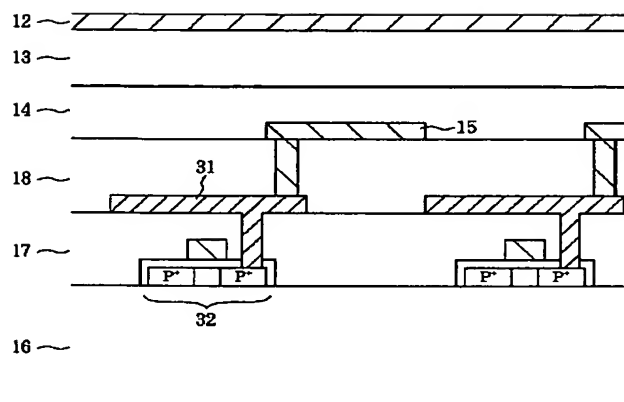
- 113 水平信号線
- 114 アクセス用トランジスタ
- 115 画素駆動用トランジスタ
- 116 保持容量
- 117 ソース側
- 118 GND电位
- 201 単結晶Si基板
- 211 透明基板
- 202、212 陰極
- 203、213 電子輸送層
- 204、214 正孔輸送層
- 205、215 陽極
- 231 シリコン基板
- 233 液晶
- 235 画素電極
- 236 LOCOS膜
- 237 層間絶縁膜
- 238 パッシベーション膜
- 239 周辺回路
- 240 ボンディングパッド
- 241 シリコンチップ
- 242 引出用基板
- 243 引出電極
- 244 シール材
- 245 表示部

【図2】

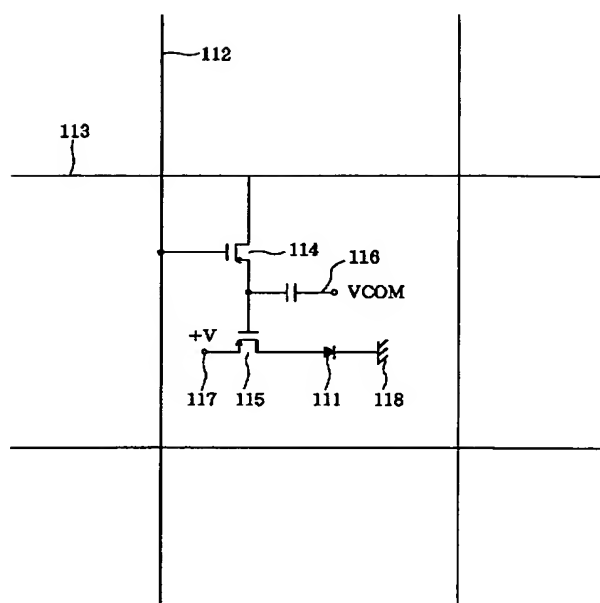




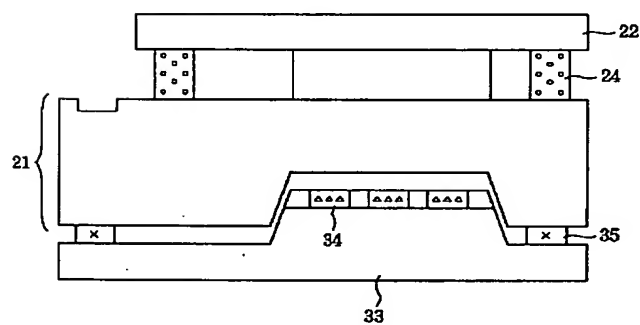
【図 3】



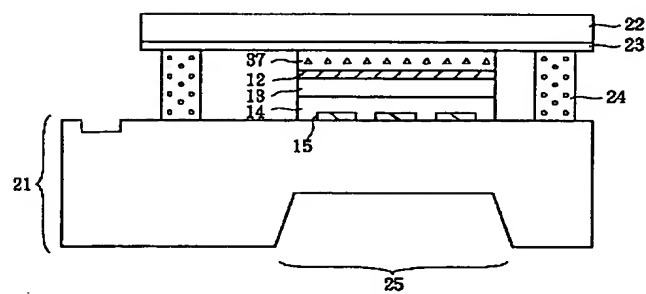
【図 4】



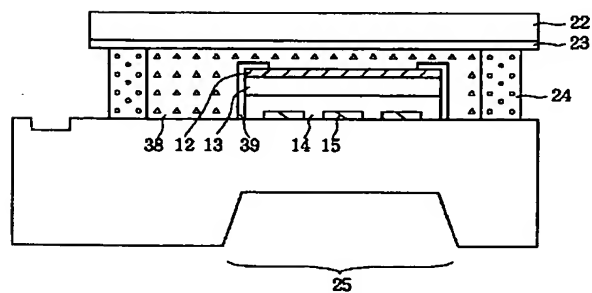
【図 5】



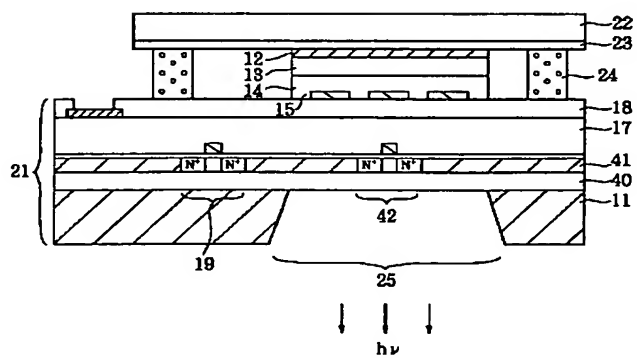
【図 7】



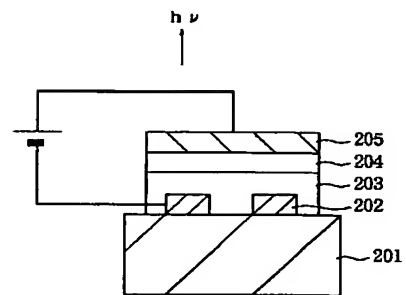
【図 8】



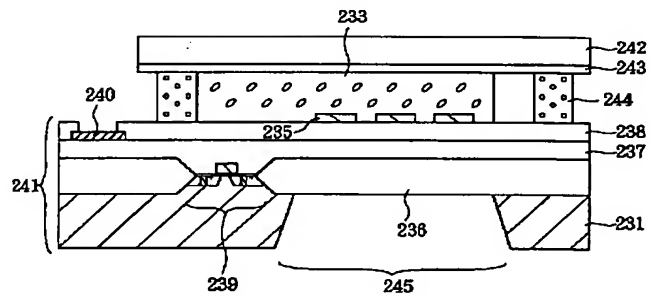
【図 9】



【圖 1 1】



【图 1 3】



テーマコード (参考)

E  
A

Fターム(参考)	3K007	AB06	AB18	BA06	CA03	CB01
		CC05	DA01	DB03	FA01	FA02
	5C094	AA05	AA21	AA42	AA43	AA44
		AA48	BA03	BA16	BA29	BA32
		CA19	CA23	DA09	DA13	DB02
		DB04	EA04	EB05	EB10	ED01
		ED02	ED20	FA01	FA02	FB02
		FB03	FB12	FB14	FB15	GB10